

SWITCHING REGULATOR

Publication number: JP2003235251

Publication date: 2003-08-22

Inventor: UMEMOTO SEIKI

Applicant: ROHM CO LTD

Classification:

- international: G05F3/24; H02M3/155; G05F3/08; H02M3/04; (IPC1-7):
H02M3/155; G05F3/24

- european:

Application number: JP20020032479 20020208

Priority number(s): JP20020032479 20020208

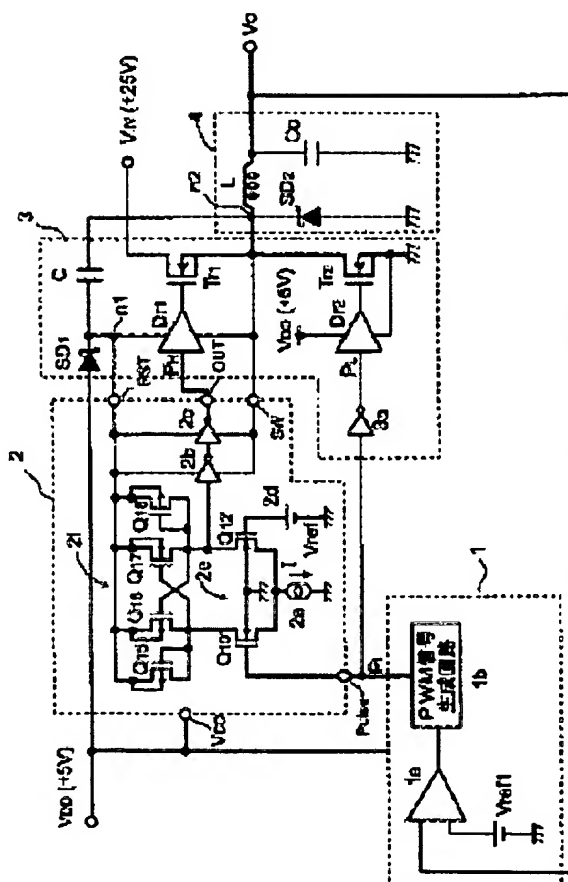
Report a data error here

Abstract of JP2003235251

PROBLEM TO BE SOLVED: To provide a switching regulator where the switching action is speedy and the regulation is stable, in a boost strap system of DC/DC switching converter which has high input power voltage and low power voltage for control and performs the switching of an output transistor, with drive voltage higher than input power voltage so as to perform regulation.

SOLUTION: This switching regulator generates the control pulses PH of voltage higher than the input power voltage which repeats rise and fall quickly, according to the control pulses PL of low voltage, and drives a switching transistor $Tr < SB > 1 < /SB >$ on the final stage, by making use of a comparator 2e and a switch circuit 2f consisting of amplifiers in positive feedback connection in a level shift circuit 2 in itself.

COPYRIGHT: (C)2003, JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-235251
(P2003-235251A)

(43)公開日 平成15年8月22日(2003.8.22)

(51) Int.Cl.⁷

識別記号

FI

テ-マコ-ト* (参考)

H0 2M 3/155

H0 2M 3/155

H 5H420

G O 5 F 3/24

C O 5 F 3/24

Z 5H730

審査請求 未請求 請求項の数 3 OL (全 9 頁)

(21) 出願番号 特願2002-32479(P2002-32479)

(22) 出願日 平成14年2月8日(2002.2.8)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院淺崎町21番地

(72) 發明者 梅本 清貴

京都市右京区西院溝崎町21番地 口一ム株
式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

Fターム(参考) 5H420 BB12 CC02 DD02 EA12 EA42

EA43 EB37

5H730 AA10 AS01 AS19 BB11 BB57

DD04 DD26 EE08 EE10 EE59

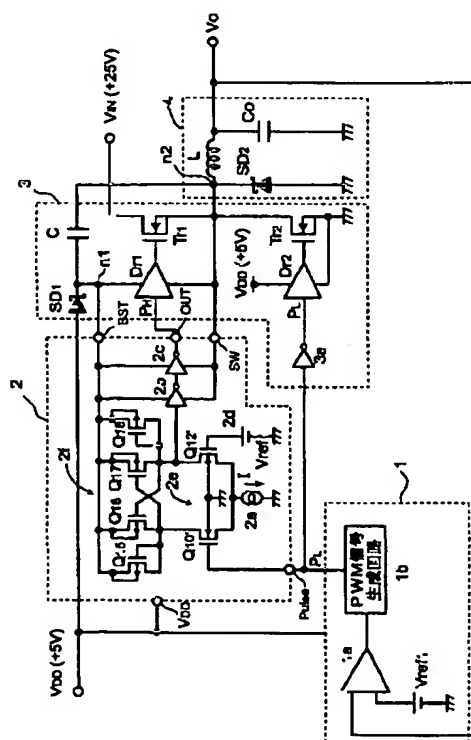
FD01 FG05

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【要約】

【課題】 高い入力電源電圧と低い制御用の電源電圧を有しレギュレーションを行うため、出力トランジスタのスイッチングを入力電源電圧よりも高い駆動電圧で行うブーストストラップ方式のDC/DCスイッチングコンバータにおいて、スイッチング動作が速く、レギュレーションが安定したスイッチングレギュレータを提供する

【解決手段】 スwitchングレギュレータのレベルシフト回路2でコンパレータ2eと正帰還接続された増幅器からなるスイッチ回路2fを利用することにより、低い電圧の制御パルスPLに応じて急速に立ち上がりとし、立ち下がを繰り返す入力電源電圧よりも高い電圧の制御パルスPHを発生し、最終段のスイッチングトランジスタTr1を駆動する。



【特許請求の範囲】

【請求項1】 入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源電圧をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、前記第1の制御パルスのHIGHレベルとLOWレベルとの中間のレベルを基準としてこれと前記第1の制御パルスの電圧とを比較して比較した結果に応じて相補的に定電流源の電流が流れる第1と第2のMOSTランジスタと、

前記第2のMOSTランジスタのドレインにそのゲートが接続され前記第1のMOSTランジスタのドレインにそのドレインが接続された第3のMOSTランジスタと、前記第1のMOSTランジスタのドレインにそのゲートが接続され前記第2のMOSTランジスタのドレインにそのドレインが接続された第4のMOSTランジスタと、前記第3のMOSTランジスタに並列に接続されそのゲートとドレインが前記第3のMOSTランジスタのドレインに接続された第5のMOSTランジスタと、前記第4のMOSTランジスタに並列に接続されそのゲートとドレインが前記第4のMOSTランジスタのドレインに接続された第6のMOSTランジスタとからなり、正帰還接続され前記第2のMOSTランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に急速に引き上げるスイッチ回路とを備えたことを特徴とするスイッチングレギュレータ。

【請求項2】 入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源の電力をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、第1と第2のインバータに相

補的に入力される第1の制御パルスのレベルに応じて、前記第1と第2のインバータからそれぞれ第1と第2のMOSTランジスタに定電流を供給することにより、入力される前記第1の制御パルスの立ち上がり立ち下りの遅延をそれぞれ抑制する第1と第2のカレントミラー回路を構成する前記第1と第2のMOSTランジスタと、

前記第1と第2のMOSTランジスタのそれぞれの上流又は下流にあってそのゲートに制御電圧を常に印加することにより前記第1と第2のMOSTランジスタの電圧変動を抑制する第3と第4のMOSTランジスタと、

前記第4のMOSTランジスタのドレインにそのゲートが接続され前記第3のMOSTランジスタのドレインにそのドレインが接続された第5のMOSTランジスタと、前記第3のMOSTランジスタのドレインにそのゲートが接続され前記第4のMOSTランジスタのドレインにそのドレインが接続された第6のMOSTランジスタと、前記第5のMOSTランジスタに並列に接続されそのゲートとドレインが前記第5のMOSTランジスタのドレインに接続された第7のMOSTランジスタと、前記第6のMOSTランジスタに並列に接続されそのゲートとドレインが前記第6のMOSTランジスタのドレインに接続された第8のMOSTランジスタとからなり、正帰還接続され前記第4のMOSTランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に引き上げるスイッチ回路と、

前記ブースト電圧にそのソースが接続され、流れる電流によりブースト電圧からその閾値分降下した電圧をそのドレインより前記スイッチ回路に供給し、スイッチ回路でのHIGHレベルへの遷移を行う第9のMOSTランジスタと、

前記第3と第4のMOSTランジスタのドレインからの出力電圧を受け、その出力電圧のタイミングが重なることによる貫通電流が回路に流れることを抑制する複数のMOSTランジスタで構成した貫通電流抑制回路とを備えたことを特徴とするスイッチングレギュレータ。

【請求項3】 HIGHレベルが入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、そのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源を前記第2の制御パルスに応じてスイッチングすることにより出力電圧を制御するスイッチングレギュレータにおいて、

前記レベルシフト回路は、高電位側の端子が共通接続されると同時に低電位側の端子が共通接続され、前記第1の制御パルスのレベルに応じてON/OFFする第1のトランジスタと、第1のトランジスタと相補的にON/OFFする第2のトランジスタとにより構成される第1のスイッチ回路と、高電位側の端子が共通接続されると

同時に低電位側の端子が共通接続され、前記第1のトランジスタと相補的にON/OFFする第3のトランジスタと、第3のトランジスタと相補的にON/OFFする第4のトランジスタとにより構成される第2のスイッチ回路とを有し、

前記第1のトランジスタの入力端子は前記第3のトランジスタの低電位側の端子に、前記第3のトランジスタの入力端子は前記第1のトランジスタの低電位側の端子にそれぞれ接続され、前記第2と第4のトランジスタの入力端子はそれぞれのトランジスタの低電位側の端子と共通接続されることにより、

前記第2のトランジスタは前記第3のトランジスタの入力端子に、前記第4のトランジスタは前記第1のトランジスタの入力端子に過電圧が印加されることを防止する一方、前記第1と第3のトランジスタが相補的にON/OFFする時の応答速度を速め、前記第2の回路から前記第1の制御パルスに応じてその電圧よりも高い第2の制御パルスを出力することを特徴とする。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高い入力電源電圧と低い制御用の電源電圧を有しレギュレーションを行うため、出力トランジスタのスイッチングを入力電源電圧よりも高い駆動電圧で行うブーストストラップ方式のDC/DCスイッチングコンバータにおいて、スイッチングを安定させ動作速度を向上させる改良を行なったスイッチングレギュレータに関する。

【0002】

【従来の技術】携帯型パソコンなどの直流電源を必要とする機器の多様化により、効率よく電圧変換して所定の電圧を得るためにスイッチングレギュレータを用いたDC/DCコンバータが利用されている。

【0003】特に、携帯型の機器では、スイッチングトランジスタのドライバでの電力損失を低減し、スイッチング速度および応答速度の向上を図るため、スイッチングトランジスタにはMOSFETトランジスタを使用し、ブーストストラップ方式で入力電源電圧よりも高いゲート電圧で駆動する。この場合、例えば、制御回路の電源電圧は5Vで、出力回路では10V～30Vなどの高い入力電源電圧をスイッチングして高い出力電圧を得ている。

【0004】図3に従来のレベルシフト回路を採用したスイッチングレギュレータの概略回路例を示す。このスイッチングレギュレータは、制御回路1、レベルシフト回路2、ブーストストラップスイッチング回路3、そして平滑回路4とからなる。VDDには制御用電源、VINには入力電源がそれぞれ入力され、所定の出力電圧がVOから出力される。

【0005】制御回路1は、出力電圧VOが帰還され、所定の基準電圧Vref1と比較されて、その差分を増

幅して出力する誤差増幅器1aと、その差分に応じたデューティをもつ制御パルスPLを発生するPWM信号生成回路1bとから構成されている。尚、制御回路は制御用電源VDDにより電源が供給されている。

【0006】レベルシフト回路2は、前記制御パルスPLを受けて、これを定電流源2a、NPNバイポーラトランジスタQ31およびQ32、抵抗Rから構成される回路により、高い電圧の制御パルスPHに変換して次段に出力する。

【0007】ブーストストラップスイッチング回路3は、高い電圧の制御パルスPHを受けてスイッチング信号を供給するHi側のドライバ回路Dr1と、そのスイッチング信号により入力電源VINをON/OFFするNMOSのトランジスタTr1と、インバータ3aで反転された低い電圧の制御パルスPLを受けてスイッチング信号を供給するLo側のドライバ回路Dr2と、そのスイッチング信号によりトランジスタTr1と相補的にON/OFFするNMOSのトランジスタTr2と、ショットキーダイオードSD1とコンデンサCを利用して接続点n1に入力電源の電圧VINかそれ以上の電圧を発生するブーストストラップ回路により構成されている。

【0008】平滑回路4はショットキーダイオードSD2と、インダクタLとコンデンサCOとで構成されるL型の平滑フィルタからなり、出力電圧のリップルを改善している。

【0009】次に、レベルシフト回路2とブーストストラップスイッチング回路3を中心にして、その動作を具体的に説明する。Hi側のトランジスタTr1がOFFされてLo側のトランジスタTr2が相補的にONされると、コンデンサCにはショットキーダイオードSD1を介して、例えば+5VのVDDから充電電流が流れ込み、5Vが充電される。次にトランジスタTr1がONされてトランジスタTr2が相補的にOFFされると、コンデンサCの他端の接続点n2の電圧が、例えば+25Vの入力電源の電圧VINと同じになり、接続点n1の電圧はコンデンサCに充電されている5Vが接続点n2の電圧分、すなわち+25V持ち上がり、+30Vとなる。そして、この接続点n1に発生する電圧+30Vが、ブーストストラップスイッチング回路3のHi側のドライバ回路Dr1と、レベルシフト回路2のトランジスタQ32のコレクタに抵抗Rを介して供給されることになる。

【0010】レベルシフト回路2のトランジスタQ31のコレクタは定電流源2aを介して制御用電源VDDに接続されており、そのエミッタは接地されている。トランジスタQ32のコレクタは前記のように抵抗Rを介してブーストされた接続点n1に接続され、そのコレクタからの出力はHi側のドライバ回路Dr1に輸入されるようになっており、同時にそのエミッタは接地されてい

る。このため、トランジスタQ31のベースに入力される+5Vの制御パルスPLを、+30Vの制御パルスPHに変換してトランジスタQ32からHi側のドライバ回路Dr1に出力する。

【0011】その結果、Hi側のドライバ回路Dr1から+25VのLoレベルと+30VのHiレベルをもつ高い電圧の制御パルスがトランジスタTr1のゲート電圧として与えられる。このゲート電圧は入力電源の電圧よりも高いため、トランジスタTr1を高速に駆動し、そのON抵抗を小さくすることが可能になる。また、トランジスタTr2は低電位側で駆動するため低電圧でよく、制御回路1と同様にLo側のドライバ回路Dr2も+5Vの制御用電源VDDにより動作し、+5Vのスイッチング信号を次段のトランジスタTr2のゲートに供給する。

【0012】

【発明が解決しようとする課題】しかし、前記のようなトランジスタQ31とQ32で構成されたレベルシフト回路2では、トランジスタQ31がOFFしたときに、トランジスタQ32が少数キャリアの蓄積効果により飽和するため、その後、制御パルスPH（トランジスタQ2のコレクタと抵抗Rの接続点の電圧）がLOWレベルからHIGHレベルへ遷移するときに顕著な遅れが発生する。このため、Hi側のドライバ回路Dr1の動作が遅れて電圧安定化動作が遅くなる欠点がある。

【0013】また、レベルシフト回路による貫通電流が大きく、消費電流が大きいという問題もあった。

【0014】本発明は、上記のような課題を解決するためになされたものであって、従来のような制御パルスPHの立ち上がり立ち下がり時の遅れを大幅に減少させることにより、電圧安定化動作速度が速く、消費電力の少ないスイッチングレギュレータを提供するものである。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明では入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源電圧をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、前記レベルシフト回路は、前記第1の制御パルスのHIGHレベルとLOWレベルとの中間のレベルを基準としてこれと前記第1の制御パルスの電圧とを

比較して比較した結果に応じて相補的に定電流源の電流が流れる第1と第2のMOSTランジスタと、前記第2のMOSTランジスタのドレインにそのゲートが接続され前記第1のMOSTランジスタのドレインにそのドレインが接続された第3のMOSTランジスタと、前記第1のMOSTランジスタのドレインにそのゲートが接続され前記第2のMOSTランジスタのドレインにそのドレインが接続された第4のMOSTランジスタと、前記第3のMOSTランジスタに並列に接続されそのゲートとドレインが前記第3のMOSTランジスタのドレインに接続された第5のMOSTランジスタと、前記第4のMOSTランジスタに並列に接続されそのゲートとドレインが前記第4のMOSTランジスタのドレインに接続された第6のMOSTランジスタとからなり、正帰還接続され前記第2のMOSTランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に急速に引き上げるスイッチ回路とを備えたことを特徴とする。

【0016】更に、本発明では入力電源の電圧より低い制御電源電圧で動作して、HIGHレベルが前記入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、前記入力電源をブーストアップして入力電源より高いブースト電圧を発生するブーストストラップ回路と、ブースト電圧を電源とし前記第1の制御パルスに応じてそのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源の電力をMOSFETトランジスタの一端に入力し、前記第2の制御パルスに応じて前記MOSFETトランジスタをスイッチングして出力電圧が目標電圧になるように制御するスイッチングレギュレータにおいて、前記レベルシフト回路は、第1と第2のインバータに相補的に入力される第1の制御パルスのレベルに応じて、前記第1と第2のインバータからそれぞれ第1と第2のMOSTランジスタに定電流を供給することにより、入力される前記第1の制御パルスの立ち上がり立ち下がりの遅延をそれぞれ抑制する第1と第2のカレントミラー回路を構成する前記第1と第2のMOSTランジスタと、前記第1と第2のMOSTランジスタのそれぞれの上流又は下流にあってそのゲートに制御電圧を常に印加することにより前記第1と第2のMOSTランジスタの電圧変動を抑制する第3と第4のMOSTランジスタと、前記第4のMOSTランジスタのドレインにそのゲートが接続され前記第3のMOSTランジスタのドレインにそのドレインが接続された第5のMOSTランジスタと、前記第3のMOSTランジスタのドレインにそのゲートが接続され前記第4のMOSTランジスタのドレインにそのドレインが接続された第6のMOSTランジスタと、前記第5のMOSTランジスタに並列に接続されそのゲートとドレインが前記第5のMOSTランジスタのドレインに接続され

た第7のMOSトランジスタと、前記第6のMOSトランジスタに並列に接続されそのゲートとドレインが前記第6のMOSトランジスタのドレインに接続された第8のMOSトランジスタとからなり、正帰還接続され前記第4のMOSトランジスタのドレインの出力電圧のHIGHレベルの電圧を前記第1の制御パルスのHIGHレベルより高い電圧に引き上げるスイッチ回路と、前記ブースト電圧にそのソースが接続され、流れる電流によりブースト電圧からその閾値分降下した電圧をそのドレインより前記スイッチ回路に供給し、スイッチ回路でのHIGHレベルへの遷移を行う第9のMOSトランジスタと、前記第3と第4のMOSトランジスタのドレインからの出力電圧を受け、その出力電圧のタイミングが重なることによる貫通電流が回路に流れることを抑制する複数のMOSトランジスタで構成した貫通電流抑制回路とを備えたことを特徴とする。

【0017】また、本発明ではHIGHレベルが入力電源より低い電圧をもつ所定のパルス幅の第1の制御パルスを発生する制御回路と、そのHIGHレベルが前記第1の制御パルスよりも高い第2の制御パルスを発生するレベルシフト回路とを有し、前記入力電源を前記第2の制御パルスに応じてスイッチングすることにより出力電圧を制御するスイッチングレギュレータにおいて、前記レベルシフト回路は、高電位側の端子が共通接続されると同時に低電位側の端子が共通接続され、前記第1の制御パルスのレベルに応じてON/OFFする第1のトランジスタと、第1のトランジスタと相補的にON/OFFする第2のトランジスタとにより構成される第1のスイッチ回路と、高電位側の端子が共通接続されると同時に低電位側の端子が共通接続され、前記第1のトランジスタと相補的にON/OFFする第3のトランジスタと、第3のトランジスタと相補的にON/OFFする第4のトランジスタとにより構成される第2のスイッチ回路とを有し、前記第1のトランジスタの入力端子は前記第3のトランジスタの低電位側の端子に、前記第3のトランジスタの入力端子は前記第1のトランジスタの低電位側の端子にそれぞれ接続され、前記第2と第4のトランジスタの入力端子はそれぞれのトランジスタの低電位側の端子と共通接続されることにより、前記第2のトランジスタは前記第3のトランジスタの入力端子に、前記第4のトランジスタは前記第1のトランジスタの入力端子に過電圧が印加されることを防止する一方、前記第1と第3のトランジスタが相補的にON/OFFする時の応答速度を速め、前記第2の回路から前記第1の制御パルスに応じてその電圧よりも高い第2の制御パルスを出力することを特徴とする。

【0018】上記の構成によれば、低い電圧の制御パルスをレベルシフト回路で高い電圧の立ち上がり、立ち下りの速い制御パルスに変換して、Hi側のドライバ回路を介して出力段のMOSトランジスタをスイッチング

するため、高い入力電圧のレギュレーションに対してスイッチング動作が速くなって、レギュレーション動作が安定するとともに、ON抵抗が小さく電力消費の少ないスイッチングレギュレータを提供することができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して説明する。なお、図3と同一部分は同じ符号を付与し、その詳細な説明は割愛する。図1は本発明の一実施形態であるレベルシフト回路を簡略回路で表したスイッチングレギュレータの概略回路図である。

【0020】図1のスイッチングレギュレータは、制御回路1、レベルシフト回路2、ブーストストラップスイッチング回路3、そして平滑回路4とからなる。VDDには制御用電源、VINには入力電源がそれぞれ入力され、所定の出力電圧がVOから出力される。レベルシフト回路2を除く他の回路は従来技術として説明した図3の回路の構成と同様であり、その構成と動作の説明は省略し、ここでは本発明の一実施形態であるレベルシフト回路2を中心に説明する。

【0021】図1に示す本発明に係るレベルシフト回路2はNMOSトランジスタQ10'とQ12'を差動トランジスタとして動作させてコンパレータ2eとして構成し、そのソースは電流値Iが流れる共通の定電流源2aを介して接地されている。そのため、トランジスタQ12'のゲートは基準電圧Vrefを発生する基準電圧発生回路2dを介して接地され、トランジスタQ10'のゲートは端子Pulseを介して制御パルスであるPWM信号を受ける。PMOSトランジスタQ15からQ18が正帰還接続されたスイッチ回路2fを構成しており、それぞれトランジスタのソースは端子BSTを介して接続点n1に接続されており、端子BSTを介してブーストされた電圧、例えば+30Vが供給されている。トランジスタQ16とQ18のゲートはそれぞれトランジスタQ12'のドレインに接続されてインバータ2b、2cを介してHi側のドライバ回路Dr1に入力される。また、トランジスタQ17とQ15のゲートはそれぞれトランジスタQ10'のドレインに接続されている。インバータ2b、2cの電源として端子BSTを介して例えば+30Vが、また、端子SWを介して例えば+25Vが供給される。

【0022】ここで、基準電圧発生回路2dとトランジスタQ10'とQ12'は、トランジスタQ10'のゲートに入力されるPWM信号を比較してON/OFFするコンパレータとして動作し、基準電圧発生回路2dの基準電圧Vrefは、制御用の電源電圧VDD、例えば+5VにおけるHIGHレベル（以下“H”）、LOWレベル（以下“L”）の中間レベル、例えば+2.5Vに設定されている。

【0023】PWM信号が“L”から“H”に遷移すると、遷移時の中間レベルでトランジスタQ10'がON

になり、トランジスタQ12'がOFFになる。反対に、PWM信号が“H”から“L”に遷移すると、遷移時の中間レベルでトランジスタQ10'がOFFになり、トランジスタQ12'がONになる。この方法により、PWM信号が基準電圧を超えたか、それ以下に下がったかで、トランジスタQ12'のドレインから、例えば端子BSTの電圧+30VにおけるHIGHレベル（以下“Hbst”）とLOWレベル（以下“Lbst”）の出力を得ることができ、従来の回路に比して、出力の立ち上がりとしち下がり速くすることができる。

【0024】さらに、例えばPWM信号が“L”から“H”に遷移すると、トランジスタQ10'がONになると略同時にトランジスタQ15もONすることにより、定電流源2aに流れる電流IがQ15に流れて電圧降下を発生する。この電圧降下分がトランジスタQ17のゲートの閾値より大きくなるようになっているので、トランジスタQ17がトランジスタQ15がない場合よりも素早くONになる。同時に、それまでトランジスタQ18に流れていた電流IによるQ18の電圧降下がなくなりトランジスタQ16が即座にOFFされる。このため、トランジスタQ17のドレインから、高い電圧にレベル変換された“Hbst”が出力される。反対に、PWM信号が“H”から“L”に遷移すると、トランジスタQ12'がONになると略同時にトランジスタQ18もONすることにより、定電流源2aに流れる電流IがQ18に流れて電圧降下を発生する。この電圧降下分がトランジスタQ16のゲートの閾値より大きくなるようになっているので、トランジスタQ16が即座にONになる。同時に、Q15に流れていた電流IがなくなりQ15による電圧降下が消滅すると、トランジスタQ17が即座にOFFになり、Q17のドレインより“Lbst”が出力される。すなわち、このような構成により、Q10'又はQ12'のドレイン電圧が上昇するのをQ15又はQ18が加速するように動作するため、Q16とQ17のみの構成でそれぞれがONになるときよりも遅延が減少している。また、前記トランジスタQ15とQ18を抵抗にすることも可能であるが、その場合、高抵抗が必要となり寄生容量の影響が出やすくなる。このように、MOSトランジスタをQ15とQ18に使用することにより、“Hbst”と“Lbst”の遷移時の波形のスピードアップを図ることができ、更に、トランジスタQ16とQ17のそれぞれのゲートに過電圧が印加されるのを防止することもできる。

【0025】このようにして高い電圧に変換されてトランジスタQ12'のドレインから出力される電圧はインバータ2bと2aを介してHi側のドライバ回路Dr1に供給され、最終段のトランジスタTr1を入力電源の電圧よりも高い電圧でTr2と相補的にON/OFFする。

【0026】図2は、図1で説明したスイッチングレギュレータのレベルシフト回路2のCMOSによる他の具体的な回路である。回路の基本的な動作は図1を参照して説明した動作と同じであるが、以下はその補足説明である。

【0027】図2に示される端子、VDD、Pulse、BST、OUT、SWはそれぞれ図1に示される同符号の端子に対応する。また、端子GNDは接地端子を意味する。PMOSTランジスタQ1とNMOSTランジスタQ2でインバータを構成しており、同様にトランジスタQ3とQ4、Q5とQ6、Q7とQ8もそれぞれインバータを構成している。従って、端子Pulseから入力されるPWM信号でトランジスタQ9とQ11は相補的にON/OFFされる。すなわち、PWM信号が“H”のときトランジスタQ9がONになり、PWM信号が“L”のときトランジスタQ11がONになる。ここで、トランジスタQ5とQ6、Q7とQ8との間にそれぞれ設けられた抵抗R1とR2は、トランジスタQ9とQ11に流れる電流を設定するために用いられる。トランジスタQ9はQ10と、トランジスタQ11はQ12とそれぞれカレントミラー回路を構成している。そのため、Pulse端子が“H”のPWM信号を受けたときにはトランジスタQ10にはトランジスタQ9に流れる電流に比例した電流が流れ、“L”のPWM信号を受けたときにはトランジスタQ12にはトランジスタQ11に流れる電流に比例した電流が流れるようになっている。

【0028】トランジスタQ13とQ14のゲートにはそれぞれ+VDDが与えられ、常にチャネルが形成されており、Q10とQ12のON/OFF時の電圧の変動を抑えるようになっている。すなわち、前記のようにトランジスタQ5とQ6、Q7とQ8で構成されるそれぞれのインバータに流れる電流に応じた電流を流して駆動することと、トランジスタQ13、Q14により電流を制限していることにより、トランジスタQ10とQ12をON/OFFした際のレベルシフトされた信号の立ち上がりとしち下がり時の遅れを低減し、図1を参照して説明した本実施形態の簡易回路のトランジスタQ10'とQ12'で構成されるコンパレータと同様の役割を果たしているとともに、レベルシフト回路の耐圧を向上させ、消費電力を低減するようになっている。

【0029】トランジスタQ15からQ18の動作は、図1を参照して説明した同符号を付したトランジスタから構成されるスイッチ回路2fと同じである。トランジスタQ19には、Q10またはQ12を介して流れる電流が常時流れ、そのドレイン/ソース間に閾値に相当する電圧降下が生じるようになっている。すなわち、Q16とQ17のON/OFFの切り替えはBSTを介し供給されるブーストされた電圧、例えば+30VよりQ19の電圧降下分だけ低い電圧で行われることになり、Q

13とQ14のドレイン側に発生する“Hbst”時の電圧が、端子BSTの電圧Vbstより電圧降下分だけ低い電圧になり、信号の立ち上がり、立ち下がり時間の短縮に貢献する。言い換えれば、トランジスタQ19は下流の回路に過電流が流れないように制限し、トランジスタQ16とQ17のゲートに過電圧がかからないようにする効果も持っている。

【0030】また、Q13とQ14のそれぞれのドレイン側から出力されるレベルは相補的になるが、レベルが重なり合う瞬間にはインバータに貫通電流が流れるため、トランジスタQ20からQ25で構成される貫通電流抑制回路で大きな貫通電流が流れないようにして出力している。トランジスタQ26とQ27、Q28とQ29でそれぞれインバータが構成されており、最終段のインバータより端子OUTを介して高い電圧の制御パルスPHをHi側のドライバ回路に出力する。

【0031】本実施形態ではレベルシフト回路2の具体的な構成例をCMOS回路で説明したが、これに限定されるものではなく、図1で示した概略回路に基づいて、その他の回路により構成してもよい。また、レベルシフト回路2以外の回路の構成例は本発明の解説のためのものであって、本発明の範囲を限定するものではない。

【0032】

【発明の効果】以上説明したように、本発明のレベルシフト回路を用いたスイッチングレギュレータによれば、低い電圧のPWM信号をレベルシフト回路で高い電圧の立ち上がり、立ち下がりの速い制御パルスに変換して、Hi側のドライバ回路を介して出力段のMOSTランジスタをスイッチングするため、高い入力電圧のレギュレーションに対してスイッチング動作が速くなって、レギュレーション動作が安定するとともに、ON抵抗が小さく電力消費の少ないスイッチングレギュレータを提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態であるレベルシフト回路を簡略回路で表したスイッチングレギュレータの概略回路図

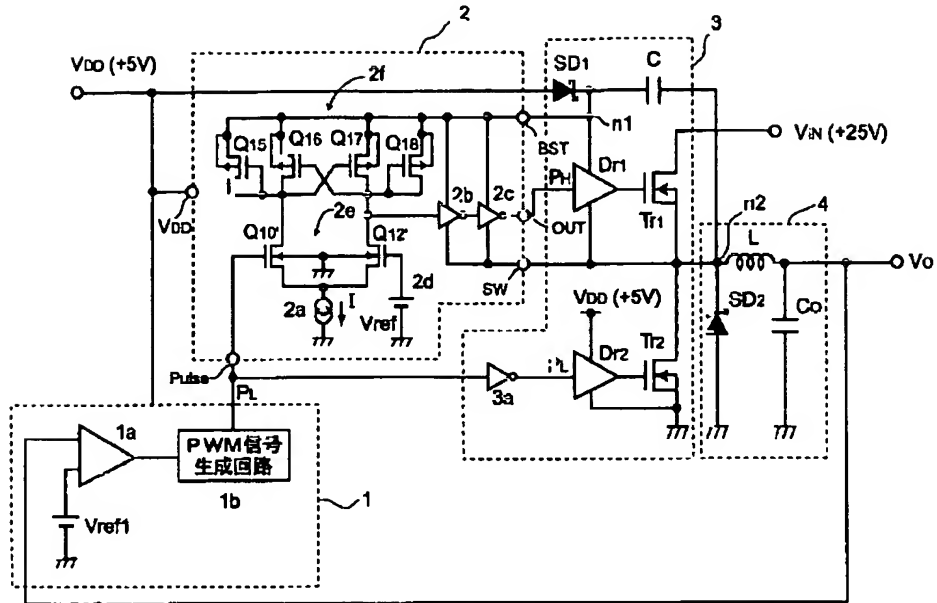
【図2】 レベルシフト回路のCMOSによる他の具体的な回路図。

【図3】 従来のレベルシフト回路を採用したスイッチングレギュレータの概略回路例。

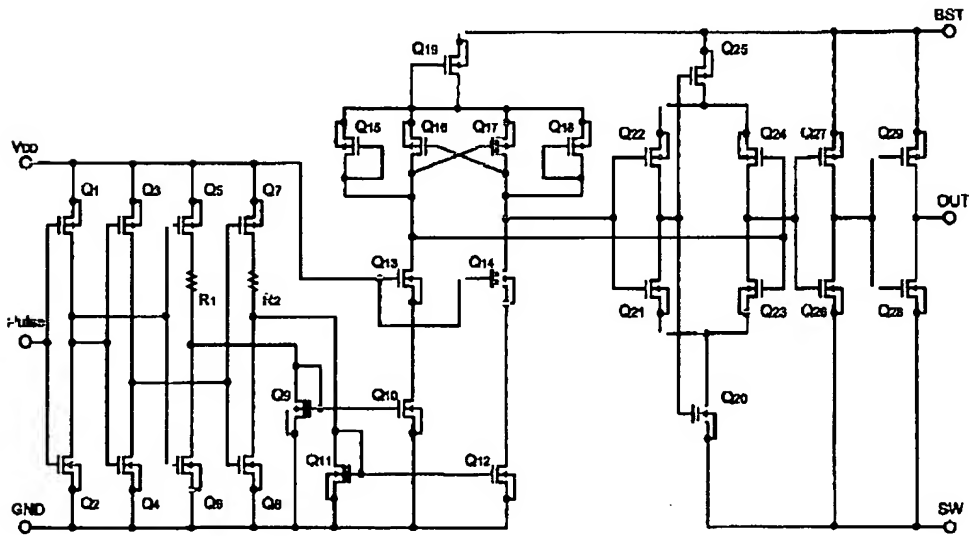
【符号の説明】

1 制御回路
1a 誤差増幅器
2 レベルシフト回路
2a 定電流源
2b、2c インバータ
2d 基準電圧発生回路
2e コンパレータ
2f スイッチ回路
3 ブーストストラップスイッチング回路
3a インバータ
4 平滑回路
BST 端子
C、CO コンデンサ
Dr1、Dr2 ドライバ回路
GND 端子
I 電流
L インダクタ
n1、n2 接続点
OUT 端子
PH 高い電圧の制御パルス
PL 低い電圧の制御パルス
Pulse 端子
Q10'、Q12'、Q1~Q29、Q31、Q32
トランジスタ
R、R1、R2 抵抗
SW 端子
Tr1、Tr2 トランジスタ
VDD 制御用電源電圧
VIN 入力電源電圧
VO 出力電圧
Vref、Vref1 基準電圧
SD1、SD2 ショットキーダイオード

【図1】



【図2】



【図3】

